

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : H05H 5/00, 1/00		A2	(11) Internationale Veröffentlichungsnummer: WO 99/18761
		(43) Internationales Veröffentlichungsdatum:	15. April 1999 (15.04.99)
(21) Internationales Aktenzeichen: PCT/DE98/03008		(81) Bestimmungsstaaten: CN, JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: 5. Oktober 1998 (05.10.98)			
(30) Prioritätsdaten: 197 45 592.1 6. Oktober 1997 (06.10.97) DE		Veröffentlicht Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.	
(71)(72) Anmelder und Erfinder: KURRAT, Jens [DE/DE]; Annenstrasse 26, D-10179 Berlin (DE).			

BEST AVAILABLE COPY

(54) Title: DEVICE FOR WIRELESS TRANSMISSION OF DIGITAL DATA ESPECIALLY AUDIO DATA

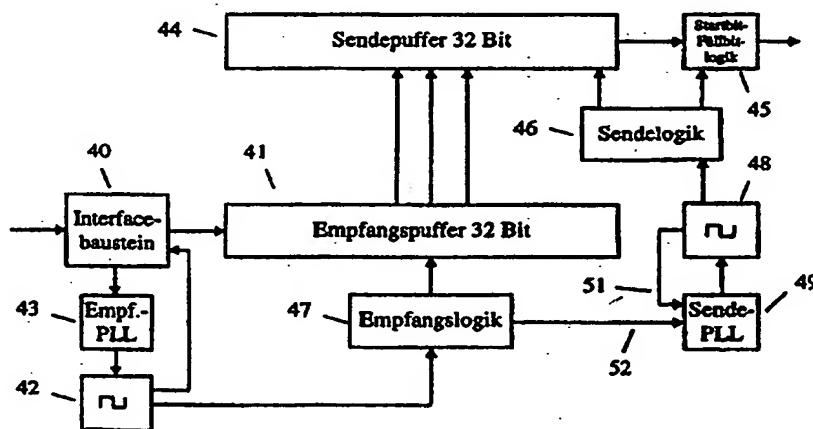
(54) Bezeichnung: VORRICHTUNG ZUR DRAHTLOSEN ÜBERTRAGUNG DIGITALER DATEN, INSBESONDERE AUDIODATEN

(57) Abstract

The invention relates to wireless transmission of digital data in which head phones, microwaves or infrared light are used during application. The invention uses transmitter bit timing with an extensive frequency parameter together with data word synchronization conducted with the assistance of start bits and filler bits in order to fulfill high requirements with regard to costs, power consumption and space requirements of the receiver. In addition, bit alternating and a combination of error-coding therewith provide a zero-frequency emission. A special phase locked loop is provided in order to condition the transmitter bit timing.

(57) Zusammenfassung

Bei einer Vorrichtung zur drahtlosen Übertragung digitaler Daten verwendet man z.B. im Anwendungsfall von Kopfhörern Mikrowellen oder Infrarotlicht. Um hinsichtlich Kosten sowie Stromaufnahme und Platzbedarf des Empfängers hohe Anforderungen zu erfüllen, wird vorgeschlagen, einen weitgehend frequenzkonstanten Sendetakt zu verwenden und eine Datenwortsynchronisierung mit Hilfe von Start- und Füllbits vorzusehen. Weiterhin ist eine Gleichanteilsbefreiung mittels Bitalternierung sowie die Kombination mit einer Fehlercodierung vorgesehen. Zur Sendetakt-Anpassung wird eine spezielle PLL vorgeschlagen.



44 ... TRANSMISSION BUFFER 32 BIT
41 ... RECEPTION BUFFER
40 ... INTERFACE MODULE
43 ... RECEPTION PHASE LOCKED LOOP
47 ... RECEPTION LOGIC
45 ... START BIT LOGIC
46 ... TRANSMISSION LOGIC
48 ... TRANSMISSION PHASE LOCKED LOOP

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Vorrichtung zur drahtlosen Übertragung digitaler Daten, insbesondere Audiodaten

Beschreibung

5 Die Erfindung befaßt sich mit der Aufgabe, digitale Daten, insbesondere Audiodaten, drahtlos zu übertragen. Besonders im Consumerbereich, wo man z.B. an einer Übertragung an drahtlose Kopfhörer oder Lautsprecher interessiert ist, kommt es bei einer derartigen Vorrichtung besonders an auf geringe Kosten, geringen Stromverbrauch bei batteriebetriebenen Empfängern sowie geringen Platzbedarf. Bei der bei Datenraten von einigen MBit/s erforderlichen Bandbreite wird man eine Übertragung im Mikrowellenbereich
10 vorsehen, wo entsprechende Frequenzbänder mit der notwendigen Bandbreite existieren oder bei ständigem Sichtkontakt im Infrarotbereich.

Wie in der DE-PS 4328252 beschrieben, ist ein Hauptproblem im Audiobereich das Vorhandensein verschiedener Abtastraten. Wie in der DIN EN 60958 (Digitalton-Schnittstelle) ausgewiesen, sind Abtastraten von 32 kHz, 44.1 kHz und 48 kHz bei 16 Bit Quantisierungsbreite üblich. Dies setzt bei bekannten Lösungen eine relativ aufwendige Empfänger-PLL mit einhergehendem hohen Stromverbrauch voraus.
15

Für die Empfänger-Synchronisation auf die Datenblockanfänge und für die Beseitigung des Gleichanteils des Sendesignals ist bei bekannten Lösungen ein deutlicher Overhead vorgesehen. Meist wird eine Umcodierung der Datenblöcke vorgenommen, was jedoch entsprechende Puffer, Festspeicher sowie eine relativ aufwendige Steuerlogik voraussetzt.
20

Eine weitere Möglichkeit zur Übertragung von Audiodaten unterschiedlicher Abtastraten ist der Einsatz digitaler Abtastratenconverter, welche mit Hilfe aufwendiger digitaler Filter in der Lage sind, verschiedene Abtastraten auf eine feste Abtastrate umzusetzen. Solche Bausteine stellen jedoch gerade im Consumerbereich einen nicht unerheblichen Kostenfaktor dar.
25

Es ist Aufgabe der Erfindung, eine Vorrichtung anzugeben, welche auf kostengünstige Art und bei geringem Stromverbrauch und Platzbedarf des Empfängers die drahtlose Übertragung digitaler Daten, insbesondere Audiodaten, ermöglicht.
30

Erfindungsgemäß wird bei der Übertragung das Datenformat gemäß der Lehre des Anspruchs 1 verwendet.

Der Grundgedanke dabei ist, durch eine variable Anzahl von Füllbits eine Vielzahl von Abtastraten bei weitgehend konstantem Sendebittakt zu ermöglichen, sowie durch die Verwendung von Startbits eine einfache Datenblocksynchronisation im Empfänger ohne nennenswerten Overhead zu gestatten. Ein weitgehend konstanter Sendetakt ermöglicht eine erhebliche Vereinfachung der Empfänger-PLL, welche bei variablem Bit-
5 takt nur sehr aufwendig zu realisieren ist und dort weiterhin eine wesentlich höhere Anfälligkeit gegenüber Rauschstörungen bei der Übertragung hat.

Die Verwendung einer einfachen PLL erlaubt einen gegenüber bekannten Lösungen wesentlich geringeren Takt (Master-Clock) im Empfänger, verbunden mit einer deutlich
10 verringerten Leistungsaufnahme.

Ein weiterer Vorteil der erfindungsgemäßen Anordnung ist, daß durch den weitgehend konstanten Sendetakt oft eine quarzstabilisierte PLL eingesetzt werden kann. Hierdurch wird jegliches Jitter bei der Audioübertragung unterdrückt, wodurch eine deutliche Verbesserung der Wiedergabequalität gegenüber bekannten Lösungen erreicht wird.

15 Für die Gleichanteilbefreiung der Sendedaten sowie für die Erzeugung möglichst vieler Pegelwechseln für eine einfache Synchronisation im Empfänger wird eine Bitgruppenalternierung vorgeschlagen. Weiterhin wird die Verwendung einer Fehlercodierung empfohlen.

In den Zeichnungen und der nachfolgenden Beschreibung ist die Erfindung in einem
20 Ausführungsbeispiel dargestellt. Es zeigen:

Fig. 1: den Datenstrom ohne Bitalternierung und Fehlercodierung,

Fig. 2: eine Schaltungsvariante des Empfänger-Phasendetektors,

Fig. 3: ein Ausführungsbeispiel des Empfängers,

Fig. 4: ein Ausführungsbeispiel des Senders,

25 Fig. 5: eine Schaltungsvariante der Sende-PLL.

In Fig. 1 ist der Aufbau des Datenstroms ohne Bitalternierung und Fehlercodierung dargestellt. Im vorliegenden Beispiel umfaßt jeder Abtastwert 32 Bit ($2 \cdot 16$ Bit jeweils für den linken und rechten Kanal). Bei einer Übertragung von mehr als 2 Kanälen, wie z.B. für eine Surround-Sound-Anwendung, ist die Anzahl der Bits entsprechend $n \cdot q$ Bit,
30 wobei n die Anzahl der Kanäle und q die Quantisierungsbreite ist.

Zusätzlich zu den 32 Bit Nutzdaten enthält jedes Datenpaket ein Startbit sowie mindestens ein Füllbit. Bei nur einem Füllbit enthält jedes Paket somit 34 Bit. Dies entspricht einem Overhead von nur 6.25 %.

Bei der Wahl des Sendetaktes geht man von der maximalen Abtastrate aus. Bei den für
5 den Audibereich üblichen Abtastraten nach DIN EN 60958 ergibt sich erfindungsgemäß bei 34 Bit und einer Abtastrate von 48 kHz eine Datenrate von 1.632 MBit/s. Tabelle 1 zeigt für die 3 Abtastraten die resultierende Bitrate mit geeignet gewählter Anzahl von Füllbits.

Wie zu erkennen ist, unterscheidet sich der Sendegrundtakt bei einer Abtastrate von
10 44.1 kHz nur geringfügig vom Sendegrundtakt bei 32 kHz und 48 kHz.

Da dieser Unterschied lediglich 0.0184 % (184 ppm) beträgt, liegt er noch gut innerhalb des Fangbereiches der Empfänger-PLL, welche für ein sicheres Einrasten durch Verstimmung eines Schwingquarzes realisiert werden kann. Die Mittenfrequenz der PLL beträgt in diesem Fall 1.63185 MHz und liegt genau zwischen 1.6317 MHz und
15 1.6320 MHz.

Bei der vorgeschlagenen Empfängerrealisierung reicht als maximaler Takt (Master-Clock) ein Vielfaches des Bittaktes von zwei, d.h. ein Takt von 3.2637 MHz.

Durch die Quarzstabilisierung kann für die Empfänger-PLL ein Schleifenfilter mit geringer Grenzfrequenz vorgesehen werden. Auf diese Weise wird eine extrem einfache
20 und stromsparende Empfänger-PLL-Realisierung ermöglicht. Weiterhin wird hierdurch jegliches Jitter der Abtastwerte unterdrückt und dadurch die Wiedergabequalität verbessert.

Tabelle 2 zeigt die Logiktablette eines möglichen Phasendetektors. Das Empfangssignal wird dabei mit der doppelten Frequenz des Bittaktes abgetastet. Pro Bit ergeben
25 sich somit zwei Werte: ein normaler Abtastwert $z(kT)$ sowie ein Zwischenwert Z . $z((k-1)T)$ ist dabei der vorherige Abtastwert. Es wird nun untersucht, ob bei einem Pegelwechsel, d.h. $z((k-1)T) \neq z(kT)$, der Wert Z gleich $z((k-1)T)$ oder $z(kT)$ ist.

Ist $Z = z((k-1)T)$, so eilt der Empfängertakt dem Sendetakt voraus. In diesem Fall gibt die Logik eine 0 aus, um den Lokalszillator zu verlangsamen. Im anderen Fall wird eine
30 1 ausgegeben. In den Fällen, wo gilt $z((k-1)T) = z(kT)$, d.h. kein Pegelwechsel stattfindet, kann ein hochohmiger Zustand angenommen werden, oder es kann z.B. der Wert $z(kT) = z((k-1)T)$ ausgegeben werden, wie in Tabelle 2 dargestellt, sofern das Signal vom Gleich-

anteil befreit wurde. Das so gewählte Verhalten kann auch durch folgende Gleichung ausgedrückt werden:

$$P = \overline{z((k-1)T) \cdot \overline{Z} \cdot z(kT) \cdot \overline{Z}}$$

5

Diese Gleichung kann einfach mittels der in Fig. 2 dargestellten Schaltung durch den Einsatz eines preisgünstigen NAND-Bausteins 20 realisiert werden, welcher vier NAND-Gatter enthält. Dabei übernimmt das vierte Gatter die Negation von Z.

Aufgrund der geringen Grenzfrequenz des Schleifenfilters ist es hierbei völlig ausreichend, eine Phasendetektion mit der Auflösung $\frac{1}{2}$ vorzunehmen, was einer Überabtastung des Empfangssignals um den Faktor 2 entspricht. Es ist keine Aufteilung in Phasen- und Frequenzdetektion wie in anderen Lösungen notwendig. Da eine Abtastung nur mit dem Doppelten des Bittaktes vorgenommen wird, ergibt sich eine deutliche Stromersparnis der Abtaststufen sowie der PLL.

15

Der Abstimmbereich des Lokaloszillators des Empfängers sollte etwas größer sein als der Bereich 3.2634 (2 • 1.6317) MHz ... 3.2640 (2 • 1.6320) MHz, um eine ordnungsgemäße Phasenregelung der PLL zu ermöglichen sowie Material- und Temperaturlösungen zu berücksichtigen.

Da beim erfindungsgemäßen Datenformat durch die Verwendung von Füllbits die Abtastwerte immer genau zum richtigen Zeitpunkt vom Sender geliefert werden, ist es gegenüber bekannten Lösungen nicht erforderlich, die Bits in einem Puffer zwischenspeichern. Bei Anschluß eines Digital-Analog-Wandlers können die Bits direkt ohne Verzögerung an diesen Baustein übermittelt werden. Die Ausrichtung der Abtastwerte in Abhängigkeit vom angeschlossenen Baustein - niederwertiges oder höherwertiges Bit zuerst, linker oder rechter Kanal zuerst - erfolgt durch den Sender. Hiermit wird dazu beigetragen, den Aufwand so weit wie möglich zum Sender zu verlagern, um einen Empfänger mit niedrigem Stromverbrauch zu erhalten.

25

Für eine ordnungsgemäße Synchronisation sowie für eine einwandfreie Übertragung der Daten wird die Kombination der Kanalcodierung mit einer Fehlercodierung vorgeschlagen. Für eine einfache Empfängerrealisierung bietet sich besonders eine Faltungscodierung an, welche keine hohen Anforderungen bzgl. des Vorhandenseins von Speicher für die Zwischenspeicherung von Blöcken hat. Für Mobilkanäle wird weiterhin ein Ver-

30

fahren empfohlen, welches in der Lage ist, Bündelfehler, d.h. mehrere aufeinanderfolgende falsch übertragene Bits, zu korrigieren.

Es werde ein Verfahren mit der Rate $\frac{1}{2}$ angenommen. Dies bedeutet, daß anstelle von einem Sendebit zwei Bits, ein Informationsbit und ein Korrekturbit, übertragen werden.

5 Dabei sei berücksichtigt, daß in Abhängigkeit von der gewählten Codierung das Informationsbit nicht notwendigerweise dem ursprünglichen Sendebit entspricht.

Für eine gute Synchronisation der Empfänger-PLL ist es vorteilhaft, wenn im Sendesignal viele Pegelwechsel vorhanden sind. Weiterhin ist es notwendig, das Sendesignal vom Gleichanteil zu befreien. Zu diesem Zweck wird ein Verfahren der Bitalternierung vorgeschlagen. Dabei wird abwechselnd eine Anzahl von Bits invertiert. So kann z.B.
10 jeweils ein Sendebit und ein Korrekturbit abwechselnd normal und invertiert übertragen werden:

- 1) Informationsbit Normal
- 2) Korrekturbit Normal
- 15 3) Informationsbit Invertiert
- 4) Korrekturbit Invertiert
- 5) Informationsbit Normal
- 6) Korrekturbit Normal usw.

Diese Vorgehensweise berücksichtigt die Tatsache, daß das Informationsbit und das
20 Korrekturbit miteinander korreliert sind und somit z.B. allein durch Invertierung des Korrekturbits keine optimale Gleichanteilbefreiung möglich ist.

Ein Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß keine besondere Zwischenspeicherung der Bits erfolgt. Alternativ wäre z.B. eine blockweise Übertragung der Informationsbits und der Korrekturbits denkbar. Dies hätte jedoch einen erhöhten
25 Speicheraufwand zur Folge, und es müßte eine zusätzliche Blockorganisation eingeführt werden, da die Abtastwerte mit zunächst nicht bekannten Abständen übertragen werden. Weiterhin soll die Synchronisation auf die Abtastwerte ja gerade mit den bereits korrigierten Daten erfolgen, da z.B. die Verfälschung eines Startbits unangenehm ist. Dies hätte bei bekannten Verfahren einen zusätzlichen Overhead zur Folge.

30 Um eine korrekte Synchronisation bzgl. der Informationsbits und Korrekturbits sowie normal und invertiert übertragenen Bits ohne zusätzlichen Overhead zu ermöglichen, wird die Empfängeranordnung gemäß Fig. 3 vorgeschlagen.

Das Empfangssignal wird durch den Abtaster 30 abgetastet, welcher mit einem Takt getaktet wird, der vom Empfängeroszillator 31 in Verbindung mit der Empfänger-PLL 32 erzeugt wird. Die abgetasteten Daten gelangen an einen Demultiplexer 33. Der Demultiplexer 33, gesteuert von der Steuervorrichtung 34, schaltet nacheinander in die vier Stellungen und verteilt somit die einlaufenden Bits im Rundum-Zyklus an die vier Ausgänge. Es gelangen die Bits somit normal oder invertiert jeweils an den I- (Informationsbit-) Eingang und an den K- (Korrekturbit-) Eingang des Fehlerdecodierers 35.

Eine korrekte Synchronisation bzgl. der Informationsbits und Korrekturbits sowie der normal und invertiert gesendeten Bits erfolgt mit Hilfe der Steuerleitung 36. Im Falle einer falschen Synchronisation ergibt sich im Mittelwert beim Fehlerdecodierer eine Bitfehlerrate von $\frac{1}{2}$. Im Falle der richtigen Synchronisation ergibt sich im Idealfall eine Bitfehlerrate von 0, im realen Fall eine Bitfehlerrate etwas über 0. Für eine Synchronisation wird ein Schwellwert, beispielsweise ein Wert von $\frac{1}{4}$, festgelegt. Es erfolgt im Fehlerdecodierer 35 eine Auswertung der Bitfehlerrate über ein kurzes Zeitintervall. Wird eine Bitfehlerrate oberhalb dieses Schwellwertes festgestellt, so wird ein Impuls an die Steuervorrichtung 34 über die Steuerleitung 36 gesendet. Dies veranlaßt den Demultiplexer 33, einen Takt auszulassen bzw. zu überspringen. Dadurch ergibt sich eine Verschiebung des Demultiplex-Zyklus um eine Stellung. Dieser Vorgang wiederholt sich solange, bis der Demultiplexer korrekt auf den Datenstrom synchronisiert ist.

Die Information, ob die aktuelle Bitfehlerrate unterhalb des Schwellwertes liegt, ist auch für die Folgekomponenten sehr nützlich. So kann beispielsweise bei einer Bitfehlerrate oberhalb des Schwellwertes eine Stummschaltung eines Digital-Analog-Wandlers vorgenommen werden, um im Falle einer falschen Synchronisation, im Falle des Fehlens eines kompatiblen Sendesignals oder bei Störungen durch andere Sender keine zufälligen Daten auszugeben.

Am Ausgang der erfindungsgemäßen Stufe stehen die korrigierten Daten und der Bittakt für eine weitere Verarbeitung zur Verfügung. Die sich anschließende Komponente wird im Fall der Audiodatenübertragung eine Synchronisation auf die Abtastwerte anhand der Startbits durchführen und kann einen Digital-Analog-Umsetzer ansteuern.

Für eine weitere Erhöhung der Robustheit gegenüber Störungen wird vorgeschlagen, neben der Fehlerkorrektur eine zusätzliche Fehlererkennung durchzuführen. Hierfür kann beispielsweise an die Nutzdaten eine Checksumme angefügt werden, welche im Empfän-

ger ausgewertet wird. Im vorliegenden Beispiel wird zur Vermeidung eines zusätzlichen Overheads die Verwendung des Füllbits als Paritätsbit vorgeschlagen. Der Wert des Paritätsbits wird sendeseitig durch Exklusiv-Oder-Verknüpfung der Nutzdaten-Bits des Datenpakets gebildet. Im Empfänger wird auf gleiche Weise das Paritätsbit bestimmt und mit dem empfangenen Füllbit verglichen. Um das Startbit von den Füllbits zu unterscheiden, hat dieses den invertierten Wert des jeweils vorhergehenden Füllbits.

Im vorliegenden Fall der Übertragung von Audioabtastwerten wird weiterhin vorgeschlagen, das Paritätsbit nicht über sämtliche Nutzdatenbits, sondern nur über eine gewisse Anzahl der höherwertigen Bits der Abtastwerte zu bestimmen, da die falsche Übertragung von niederwertigen Bits weit weniger störend ist als die falsche Übertragung von höherwertigen Bits. Auf diese Weise wird die Wahrscheinlichkeit erhöht, falsch übertragene Bits zu erkennen.

Neben der entsprechenden Formatierung der Abtastwerte sowie dem Einfügen entsprechender Start- und Füllbits übernimmt der Sender die Aufgabe der Einstellung des Sendetaktes in Abhängigkeit von der Abtastrate. Auf diese Weise wird eine weitere Verschiebung des Aufwands zum Sender ermöglicht.

Fig. 4 zeigt die Übersicht des Senders. Vom Interfacebaustein 40 empfangene Daten werden im Empfangspuffer 41 zwischengespeichert. Der Interfacebaustein wird getaktet durch den sendeseitigen Empfangsoszillator 42 in Verbindung mit der sendeseitigen Empfangs-PLL 43.

Sobald ein kompletter Abtastwert empfangen wurde und der Sendepuffer 44 leer ist, erfolgt eine Übernahme der Daten in den Sendepuffer 44.

Bis auf die beiden 32-Bit-Puffer ist kein weiterer RAM- oder Festwertspeicher notwendig. Die Start- und Füllbitlogik 45, gesteuert von der Sendelogik 46, fügt entsprechend dem Vorhandensein von Sendedaten Start- und Füllbits ein. Diese Daten gelangen dann bei Verwendung einer Fehlercodierung zur FEC-Stufe und anschließend zur Bitalternierungs-Stufe.

Die erfindungsgemäße Anordnung berücksichtigt die Tatsache, daß sich der Empfangsbittakt aufgrund der unterschiedlichen Eingangsformate stark vom Sendetakt unterscheidet.

Für die Erreichung einer konstanten Abtastrate bei weitgehend fester Sendegrundfrequenz wird eine spezielle Sende-PLL 49 vorgeschlagen.

In Tabelle 3 sind einige mögliche Abtastraten aufgeführt, die sich bei der Mittenfrequenz 1.63185 MHz des Sendegrundtaktes durch Variation der Füllbit-Anzahl ergeben. Aufgabe der Sende-PLL 49 ist es, bei Abtastraten, welche nahe an einer der aufgeführten Raten liegen, die Sendegrundfrequenz optimal bzgl. der Abtastrate einzustellen. Der Fangbereich ist abhängig von der Verstimmbarkeit des Sendeoszillators 48, welche erfindungsgemäß kleiner ist als der Ziehbereich des Empfängeroszillators. So liegen beispielsweise die Standardabtastraten 32 kHz, 44.1 kHz und 48 kHz im Fangbereich von Frequenzen aus Tabelle 3.

Eine sehr einfache und kostengünstige Ausführung der Sende-PLL zeigt Fig. 5. Sie besteht aus einem D-Flip-Flop 50. Dieses erhält als Datensignal den Sendegrundtakt 51 und als Taktsignal das READY-Signal 52 der Empfangslogik 47.

Das READY-Signal 52 führt immer genau dann einen Low-High-Übergang aus, wenn der Empfangspuffer 41 komplett gefüllt ist. Dieses Signal ist auch für die Übernahme der Empfangsdaten in den Sendepuffer 44 wichtig. Dabei wird als Gleichgewicht erfindungsgemäß solch ein Zustand angestrebt, daß der Empfangspuffer 44 immer genau dann komplett gefüllt ist, wenn der Sendegrundtakt 51 einen High-Low-Übergang ausführt. Dieses ist damit begründet, daß bei konstanter Abtastrate und bei richtig eingestelltem Sendegrundtakt die Anzahl der Füllbits konstant ist. Die Start-/Füllbitlogik 45 wird mit dem Sendegrundtakt getaktet und untersucht somit immer beim Low-High-Übergang, ob der Empfangspuffer gefüllt ist und sendet dann entweder ein weiteres Füllbit oder ein Startbit. Es kann zu einer ungewollten Variation der Füllbitanzahl zwischen den einzelnen Abtastwerten kommen, wenn das READY-Signal nahe der Low-High-Flanke des Grundtaktes auf High geht. Für ein stabiles Verhalten ist es somit ideal, den Sendeoszillator 48 so zu regeln, daß das bei konstanter Abtastrate regelmäßige READY-Signal immer genau beim High-Low-Übergang des Sendegrundtaktes nach High geht.

Da nur eine geringe Verstimmung des Sendeoszillators von der Mittenfrequenz nötig ist, kann auch für die Sende-PLL 49 ein Schleifenfilter mit geringer Grenzfrequenz gewählt werden.

Wenn das READY-Signal 52 schon vor dem High-Low-Übergang des Sendegrundtaktes 51 nach High geht, d.h. der Sendegrundtakt noch High ist, so liefert das Flip-Flop 50 am Ausgang eine 1. In diesem Fall läuft der Sendegrundtakt dem für die vorhandene Abtastrate idealen Sendegrundtakt hinterher. Der Sendeoszillator wird beschleunigt.

Durch diese Sende-PLL ist es nicht erforderlich, für die sendeseitige Empfangs-PLL 43 eine derartige PLL vorzusehen, die mehrere Abtastraten unterscheidet und verschiedene Zustände annimmt wie in bekannten Lösungen, welches wiederum zusätzlichen Aufwand erfordern würde.

- 5 Es ist auch nicht notwendig, in Abhängigkeit von der Abtastrate die Anzahl der Füllbits explizit auszurechnen oder durch einen aufwendigen Algorithmus zu bestimmen. Durch die vorgeschlagene Anordnung wird automatisch die richtige Anzahl von Füllbits ermittelt. Das gleiche gilt für den richtigen Sendegrundtakt, solange die Abtastrate innerhalb des Fangbereichs einer der in Tabelle 3 dargestellten Frequenzen liegt. Für den Fall, 10 daß die Abtastfrequenz keiner Standardrate entspricht und auch nicht nahe genug an einer der aufgeführten Frequenzen liegt, werden die Abtastwerte im Unterschied zu bekannten Verfahren trotzdem korrekt übertragen. Jedoch wird von Zeit zu Zeit ein zusätzliches Füllbit eingesetzt oder ein Füllbit entfernt, um somit die Abtastrate zu approximieren.

- 15 All dies geschieht ohne zusätzlichen Aufwand durch die erfindungsgemäße Senderanordnung.

Tabelle 1

Abtastrate	Anzahl Füllbits	Sendedatenrate
48 kHz	1	1.632 MBit/ s
44.1 kHz	4	1.6317 MBit/ s
32 kHz	18	1.632 MBit/ s

Tabelle 2

$z((k-1)T)$	Z	$z(kT)$	Phasensignal
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Tabelle 3

31.997 kHz	36.263 kHz	41.842 kHz
32.637 kHz	37.088 kHz	42.943 kHz
33.303 kHz	37.950 kHz	44.105 kHz
33.997 kHz	38.854 kHz	45.329 kHz
34.720 kHz	39.801 kHz	46.624 kHz
35.475 kHz	40.796 kHz	47.996 kHz

Patentansprüche

1. Vorrichtung zur drahtlosen Übertragung digitaler Daten mit einer Kanalcodierung,
dadurch gekennzeichnet, daß eine Datenratenanpassung mittels Füllbits, eine Daten-
5 block-Synchronisation mit Hilfe von Startbits sowie eine Gleichanteilbefreiung mittels
Bitalternierung erfolgt.
2. Vorrichtung nach Anspruch 1, **dadurch gekennzeichnet, daß** die Kanalcodierung mit
einer Fehlercodierung kombiniert wird, welche eine Synchronisation bzgl. der Informati-
onsbits und Korrekturbits sowie der normal und invertiert gesendeten Bits steuert.
- 10 3. Vorrichtung nach Anspruch 1 oder 2, **dadurch gekennzeichnet, daß** der Bittakt mit
Hilfe einer Phasenregelschleife (PLL) sendeseitig geregelt wird, um eine vorgegebene
Datenrate bei einer konstanten Anzahl von Füllbits pro Datenpaket einzustellen.
4. Vorrichtung nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet, daß** für die
Taktrückgewinnung empfangseitig eine Phasenregelschleife (PLL) eingesetzt wird, die
15 einen Phasenvergleich mit Hilfe von durch Überabtastung erhaltenen Zwischenwerten
durchführt.
5. Vorrichtung nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet, daß** digi-
tale Audiosignale codiert werden, wobei jedes Datenpaket als Nutzdaten $n \cdot q$ Bit enthält
mit der Kanalanzahl n und der Quantisierungsbreite q - speziell 32 Bit bei einer Stereo-
20 Übertragung mit 16 Bit Quantisierungsbreite.
6. Vorrichtung nach Anspruch 5, **dadurch gekennzeichnet, daß** das Füllbit gleichzeitig
ein Paritätsbit darstellt, welches im Sender über mehrere Bits des Datenpakets gebildet
wird, mit Hilfe dessen im Empfänger eine zusätzliche Fehlererkennung erfolgt und das
Startbit jeweils dem vorangegangenen invertierten Paritätsbit entspricht.
- 25 7. Vorrichtung nach einem der Ansprüche 1 bis 6, **dadurch gekennzeichnet, daß** als
Übertragungsmedium mit den Sendedaten modulierte Mikrowellen benutzt werden.
8. Vorrichtung nach einem der Ansprüche 1 bis 6, **dadurch gekennzeichnet, daß** als
Übertragungsmedium mit den Sendedaten moduliertes Infrarotlicht benutzt wird.
9. Vorrichtung einem der Ansprüche 5 bis 8, **dadurch gekennzeichnet, daß** die Audio-
30 daten an einen digitalen Kopfhörer übertragen werden, welcher mittels Digital-Analog-
Wandlung analoge Audiosignale generiert.

10. Vorrichtung einem der Ansprüche 5 bis 8, **dadurch gekennzeichnet, daß** die Audio-
daten an digitale Lautsprecher übertragen werden, welche mittels Digital-Analog-
Wandlung analoge Audiosignale generieren.

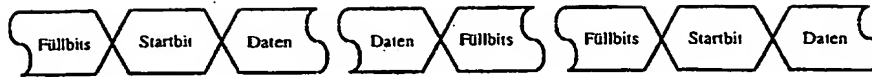


Fig. 1

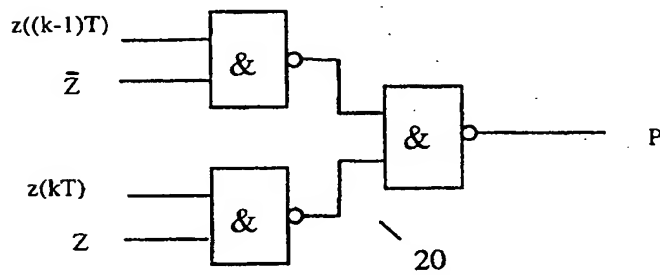


Fig. 2

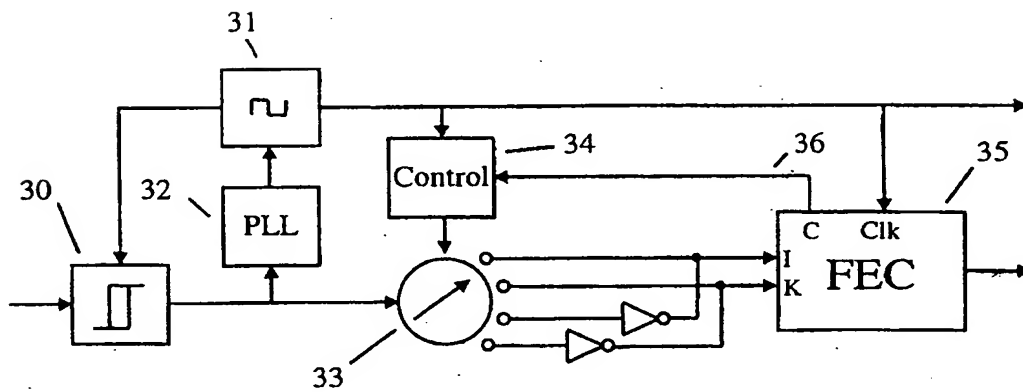


Fig. 3

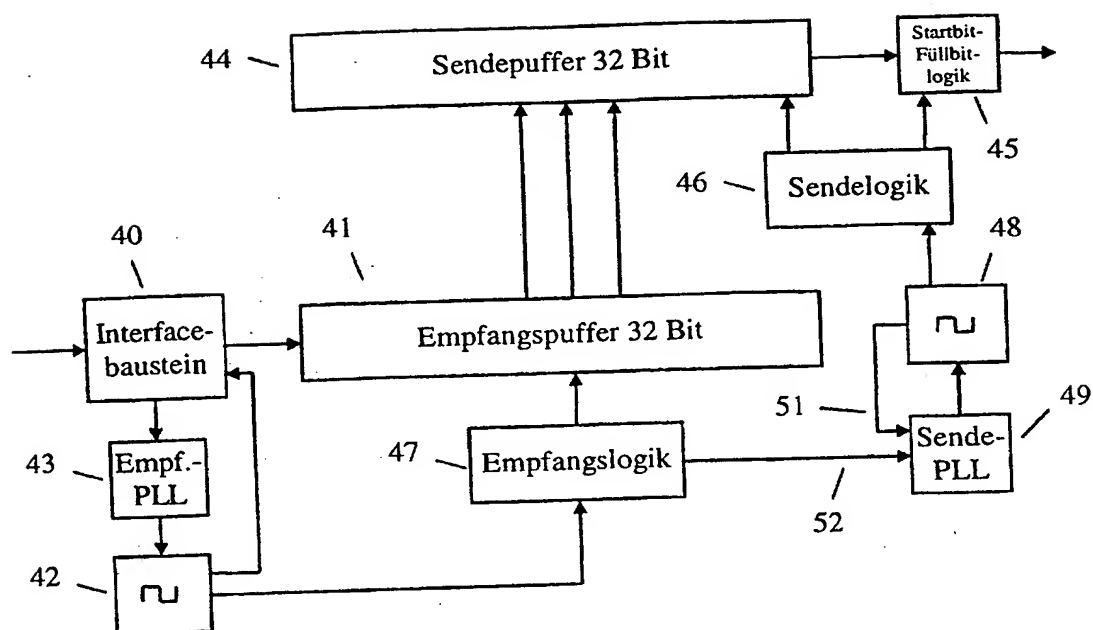


Fig. 4

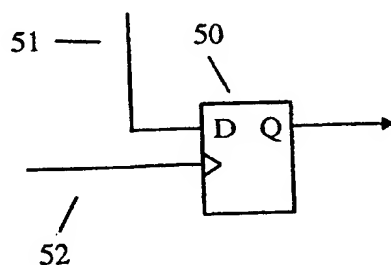


Fig. 5

BEST AVAILABLE COPY